

DDR3测试过程中应注意哪些问题？

产品名称	DDR3测试过程中应注意哪些问题？
公司名称	北京森森波信息技术有限公司
价格	.00/个
规格参数	
公司地址	北京市海淀区永泰庄北路1号天地邻枫2号楼A座B101
联系电话	18601085302 18601085302

产品详情

DDR3测试过程中应注意哪些问题？

DDR3 测试挑战更高的工作频率，根据JEDEC 的相关标准，DDR3的数据速率高达1.6Gbps。随着DDR技术的飞快发展，市场上甚至出现了2Gbps的DDR3模组。此外，为了实现更高的速率和更低的功耗，DDR3采用了更低的电压，仅为1.5V。在高频率和低电压的条件下对DDR3进行测试，信号完整性的好坏至关重要，同时也对测试设备的性能提出了更苛刻的要求。

I/O 死区

信号在传播的过程中存在一定的延时。写数据时，测试通道提前将数据输出，以保证其在预定时刻到达芯片管脚；读数据时，测试通道延迟触发采样信号，延迟的时间为信号传输延迟。在STL（Single Termination Line）连接方式下，由于测试周期的缩短，信号传播延时将变得不可忽视。在这种情况下，测试通道的输出与芯片的输出信号将会发生重叠，重叠的时间区域称为I/O Dead Band。对比DQ信号的SHMOO眼图，可以清楚看到I/O Dead Band使得数据窗口的高度和宽度减小，原本PASS的区域变成FAIL，从而造成数据误判。

不可忽视的信号抖动（jitter）

随着数据速率的提高，数据周期的宽度将不大于1.25ns，甚至达到0.625ns。由于jitter的大小相对与周期宽度变得不可忽视，时间参数测试变得更加困难。此外，jitter还会造成有效数据窗口的缩小，造成信号的误判。因此，测试设备应能提供一种精确、高效的时间参数测量手段，以应对jitter带来的不利影响。

Fly-by 拓扑结构

为了改善信号完整性，DDR3内存模组采用了Fly-by 拓扑结构。模组上的DDR3芯片共享一组CLK管脚、地址管脚和控制管脚。由于信号传播延迟的存在，模组上的

DDR3芯片会在不同时刻进行数据的输入 / 输出。在进行模组测试时，测试设备应具备对不同测试通道进行时间补偿的能力。