

LVDS测试方法，LVDS测试，lvds信号测试方法

产品名称	LVDS测试方法，LVDS测试，lvds信号测试方法
公司名称	北京森森波信息技术有限公司
价格	.00/个
规格参数	
公司地址	北京市海淀区永泰庄北路1号天地邻枫2号楼A座B101
联系电话	18601085302 18601085302

产品详情

LVDS测试涉及FPGA内部逻辑及并行接口测试，用于保证数据处理和控制的正确性。

传统的FPGA内部信号调试有2种方法：直接探测和软逻辑分析仪方案。

直接探测的测试方法，是通过在逻辑代码里定义映射关系，把内部需要调试的信号映射到外部未使用的I/O管脚上，通过相应PCB走线和连接器把这些I/O管脚的信号引出，再送给逻辑分析仪做信号测试和分析仪。这种方法的好处是简便直观，可以利用逻辑分析仪的触发和存储功能，同时信号的时序关系都得到保留；但缺点在于FPGA内部要探测的信号节点很多，而外部的未用I/O数量是有限的，因此调试完一组节点后需要修改逻辑代码中的映射关系到另一组节点，并重新综合、布线，当工程比较复杂时综合、布线等花的时间非常长，所以对于比较复杂的设计测试效率比较低。

软逻辑分析仪方案是FPGA厂家提供的一种测试方案，原理是在FPGA逻辑代码设计阶段或综合完成后在工程中插入一个软逻辑分析仪的核，软逻辑分析仪的核需要占用一定的块RAM资源，可以用工作时钟把内部信号信号采集到块RAM里，采完以后再通过FPGA的JTAG接口把块RAM里的数据读到外部PC上显示波形。这种方案的好处是只需要外部PC就可以完成测试，不用占用额外I/O，同时如果代码没有变化的话可以不用重新综合，但是使用也有一定的限制，比如会占用比较多块RAM，记录波形长度和触发功能有限，由于内部时钟先作采样造成信号的时序关系丢失等。