

CLK测试,Clock时序信号测试,电源完整性测试

产品名称	CLK测试,Clock时序信号测试,电源完整性测试
公司名称	上海博达数据通信有限公司
价格	.00/个
规格参数	
公司地址	浦东新区居里路123号博达数据通信公司
联系电话	021-508006661201 13813288915

产品详情

CLK测试,Clock时序信号测试,电源完整性测试 时钟信号是由时钟发生器产生的。它有只有两个电平，一
是低电平，另一个是高电平。高电平可以根据电路的要求而不同，例如 TTL 标准的高电平是 5V。
虽然使用更复杂的安排，最常见的时钟信号是在与 50%的占空比，也就是说，高电平和低电平的持续时
间是一样的，通常是一个固定的常数频率方波的形式。电路使用时钟信号的同步可能会变得活跃在任一
上升沿，下降沿，或在双数据速率，在上升和下降边缘的时钟周期，可以根据数字电路使用需要提供出
任何时钟频率。 -----