

# DDR4信号完整性测试案例 DDR4信号完整性量测及测试新要求

产品名称	DDR4信号完整性测试案例 DDR4信号完整性量测及测试新要求
公司名称	深圳市启威测标准技术服务有限公司
价格	.00/个
规格参数	
公司地址	深圳市龙岗区吉华街道甘李五路1号科伦特研发楼附属楼101（启威测实验室）
联系电话	0755-27403650 13631643024

## 产品详情

一、DDR4 信号完整性测试新要求：

随着眼图模板测试抖动测试提出新要求测试，与DDR3相比，中，对物理层信号测试要求有DDR4

### 抖动测试

在 DDR3 的测试中，对 Clock 的抖动的测试要求是：Period Jitter、Cycle Cycle Jitter、Duty Cycle Jitter。DDR3 的 Spec 中做了这样的推算：如果你的内存满足了规范要求的所有电气特性和时序特性，就可以一直正常的运行。现实状况下，这是没有考虑其他因素的理想情况，像随机抖动等也会影响产品的工作，而 DDR3 都没有对这些进行测试。

### DDR3 Clock 抖动测试

在 DDR4 的规范中，采用了更实际的方法来考虑这些因素，测试要求包含了随机抖动  $R_j$  和确定性抖动  $D_j$ ，在规范中，总体抖动  $T_j$  被定义为在一定误码率下的确定性抖动  $D_j$  和随机性抖动  $R_j$  的和，对抖动做了分解。

### DDR4 Clock Jitter 要求

### 眼图模板测试

在 DDR3 测试中，眼图只是作为一个 Debug 的手段，不是强制要求测试，而且没有模板。但是在 DDR4 中，要求进行 DQ 输入接收端眼图模板测试，下图是眼图模板的定义，在 DDR4 2133 及以下频率， $TdIVW\_total$  和  $TdIVW\_dj$  相等。 $VdIVW\_total$  和  $VdIVW\_dV$  相等，从本质上，现在还没有在模板中定义随机成分。

## DDR4 眼图模板定义

### DDR4 DQ 眼图

二、DDR4 Write Timing Test测试图片及结果：

DQS2 Falling Setup To From CKRising tDSS

DQS3 Write Postamble tWPST

DQ16 Input Set Time tDS

DQ23 AC input swing pk-pk

DQ27AC InputPules Width tDIPW

DQ28 Input Hold Time tDH

BG0 TimingTest Result

启威测实验室提供DDR2/3/4/5信号完整性测试及一致性验证，更多关于DDR测试解决方案，请联系启威测实验室。