

DDR2/3/4/5信号完整性测试及DDR测试解决方案

产品名称	DDR2/3/4/5信号完整性测试及DDR测试解决方案
公司名称	深圳市启威测标准技术服务有限公司
价格	.00/个
规格参数	
公司地址	深圳市龙岗区吉华街道甘李五路1号科伦特研发楼附属楼101（启威测实验室）
联系电话	0755-27403650 13631643024

产品详情

随着近年来智能手机、平板电脑、笔记本电脑、服务器等设备的普及，用户对存储容量的需求越来越高，速度更快、能耗更低、物

1、DDR标准制定者：JEDEC协会

所有的DDR标准均由JEDEC标准、GDDR标准，及内存模组标准均是由JEDEC下属的JC-42 Solid State JEDEC，全称为“Joint Electron Device Engineering Council”，固态技术协会，为一个全球性的组织。

DDR技术的发展：从DDR1到DDR5的演变：

电压更低，速率翻倍，容量翻倍

2、DDR接口的基本原理

内核的频率：100MHz~266MHz，从SDR时代到DDR，再到ZUI新的DDR5；

数据速率的提升是通过I/O接口的架构设计实现的，主要有三个技术：

1) 双边沿传输数据：这是DDR名称的来源；

2) 预取技术(Prefetch)：2bit for DDR2, 8bit for DDR3, 8bit for DDR4, 16bit for

3) SSTL/POD Signaling: 克服在高速传输时的信号完整性的问题。

芯片内部的一般架构：保证数据能够高速从芯片引脚输出

在上述这样一种芯片架构中，为了ZUI大程度的降低DRAM芯片的成本，ZUI节省成本的方法为：

对于读操作，DQS与DQ为边沿对齐；

对于写操作，DQS与DQ为中心对齐。

3、DDR接口信号分类

引脚框图

4、信号分类及其拓扑连接方式

不同类的信号，它的拓扑连接方式不一样。

5、DDR接口举例说明：DDR3 DIMM Layout

6、DDR接口举例说明：DDR3 DIMM Layout

内存控制器芯片与DRAM颗粒芯片在同一块PCB上；

内存通道的总线宽度根据所选择的内存控制器芯片的不同而不同；

CPU Core并不是直接和内存发生作用，而是通过缓存来和内存发生作用；

Cache Line的大小为64 Byte；也就是说缓存与内存相互作用的ZUI小单位为64 Byte。

7、DDR测试解决方案

计算机系统采用标准化的DIMM，可以使用多种探测解决方案进行探测。

规格定义的测试点通常直接焊在DRAM芯片上，而所有的DDR3颗粒均采用BGA封装。JEDEC的在PCB时，就通过过孔在背面预留有测试点，这样可以直接点测完全信号的探测；也就是DfT (Design for

当使用直接探测时，可以得到很好的信号保真度。

但对于PCB正反面都贴有DRAM颗粒，这种方法无能为力。

DDR测试方案一：直接探测

DDR3 DIMM + TDP7700 Probe Tips

DDR测试方案二：BGA Interposer

8、突发识别的方法

在分析时，需要自动将读突发和写突发分离开来独自进行分析

对于读写分离，有若干种方法：

1) DQ/DQS phase alignment：基于读操作和写操作的DQ/DQS相位对齐关系的不同，读操作为边沿对齐，

写操作为中心对齐。这种ZUI常用。

2) Visual Trigger：可视触发，用户自定义可视触发条件，灵活度非常高；

3) CS latency：当有多个rank时，需要通过CS信号来区分是哪一个rank进行读写；

4) Logic State + Burst Latency：通过解析命令信号群组（RAS#-CAS#-WE#）来确定读操作和写操作。

DDR测试需要提供的资料：

DDR测试不仅需要准备测试样品，还需要提供产品的线路图及layout。

启威测实验室提供DDR2/3/4/5信号完整性测试及一致性验证，更多关于DDR测试解决方案，请联系启威测实验室。