

# DDR2 时钟测试 数据信号测试 DDR2 控制信号测试

产品名称	DDR2 时钟测试 数据信号测试 DDR2 控制信号测试
公司名称	北京淼森波信息技术有限公司
价格	.00/个
规格参数	
公司地址	北京市海淀区永泰庄北路1号天地邻枫2号楼A座 B101
联系电话	18601085302 18601085302

## 产品详情

### 3. 总结

本章主要是针对DDR的发展和原理进行了学习，主要集中在硬件的组成原理，其中涉及到Channel > DIMM > Rank > Chip > Bank > Row/Column，其组成如下图所示

Channel：一个主板上可能有多个插槽，用来插多根内存。这些槽位分成两组或多组，组内共享物理信号线。这样的一组数据信号线、对应几个槽位（内存条）称为一个channel（通道）。简单理解就是DDRC(DDR控制器)，一个通道对应一个DDRC。CPU外核或北桥有两个内存控制器，每个控制器控制一个内存通道。内存带宽增加一倍。（理论上）

DIMM(dual inline memory module)是主板上的一个内存插槽。一个Channel可以包括多个DIMM。

Rank是一组内存芯片的集合，当芯片位宽x芯片数=64bits（内存总位宽）时，这些芯片就组成一个Rank。一般是一个芯片位宽8bit，然后内存每面8个芯片，那么这一面就构成一个Rank（为了提高容量，有些双面内存条就有两个rank。在DDR总线上可以用一根地址线来区分当前要访问的是哪一组）。同一个Rank中的所有芯片协作来共同读取同一个Address（一个Rank8个芯片 \* 8bit = 64bit），这个Address的数据分散在这个Rank的不同芯片上。设计Rank的原因是这样可以使每个芯片的位宽小一些，降低复杂度。