

电源纹波测试 时钟测试 数据信号测试 DDR3 复位测试 CLK测试 DQS测试

产品名称	电源纹波测试 时钟测试 数据信号测试 DDR3 复位测试 CLK测试 DQS测试
公司名称	北京森森波信息技术有限公司
价格	.00/个
规格参数	
公司地址	北京市海淀区永泰庄北路1号天地邻枫2号楼A座 B101
联系电话	18601085302 18601085302

产品详情

再将1个BANK GROUP区域分成4个BANK小区域，分别命名为BANK0、BANK1、BANK2、BANK3。然后我们挑出2根地址线（还剩余17根）命名为BA0和BA1，为4个小BANK进行地址编码。

此时，我们将DDR内存颗粒划分成了2个BANK GROUP，每个BANK GROUP又分成了4个BANK，共8个BANK区域，分配了3根地址线，分别命名为BG0，BA0，BA1。然后我们还剩余17根信号线，每个BANK又该怎么设计呢？这时候，就要用到分时复用的设计理念了。

剩下的17根线，次用来表示行地址，第二次用来表示列地址。现在修改为传输2次地址，在传输1次数据，寻址范围多被扩展为2GB。虽然数据传输速度降低了一半，但是存储空间被扩展了很多倍。这就是改善空间。

所以，剩下的17根地址线，留1根用来表示传输地址是否为行地址。

在第1次传输时，行地址选择使能，剩下16根地址线，可以表示行地址范围，可以轻松算出行地址范围为 $2^{16}=65536$ 个=64K个。

在第2次传输时，行地址选择禁用，剩下16根地址线，留10根列地址线表示列地址范围，可以轻松表示的列地址范围为 $2^{10}=1024$ 个=1K个，剩下6根用来表示读写状态/刷新状态/行使能、等等复用功能。

这样，我们可以把1个BANK划分成67108864个=64M个地址编号。如下所示

所以1个BANK可以分成65536行，每行1024列，每个存储单元16bit。

所以1个BANK可以分成65536行，每行1024列，每个存储单元16bit。

每行可以存储 $1024*16\text{bit}=2048\text{bit}=2\text{KB}$ 。每行的存储的容量，称为Page Size。

单个BANK共65536行，所以每个BANK存储容量为 $65536*2\text{KB}=128\text{MB}$

。

单个BANK GROUP共4个BANK，每个BANK GROUP存储容量为512MB。

单个DDR4芯片有2个BANK GROUP，故单个DDR4芯片的存储容量为 $1024\text{MB}=1\text{GB}$ 。

至此，20根地址线和16根数据线全部分配完成，我们用正向设计的思维方式，为大家讲解了DDR4的存储原理以及接口定义和寻址方式。

但是细心的同学发现一个问题，对于每一个bank，按照正常的10位数据，那么col应该是1024，而现在是128，是什么原因呢？