

## spl专家测试，信号完整性测试，眼图测试

产品名称	spl专家测试，信号完整性测试，眼图测试
公司名称	北京森森波信息技术有限公司
价格	.00/个
规格参数	
公司地址	北京市海淀区永泰庄北路1号天地邻枫2号楼A座B101
联系电话	18601085302 18601085302

### 产品详情

#### 工作方式2：

当CPHA=0、CPOL=1时SPI总线工作在方式2。与前者不同之处只是在同步时钟信号的下降沿时捕捉位信号，上升沿时下一位数据上线。

#### 工作方式3：

当CPHA=1、CPOL=0时SPI总线工作在方式3。MISO引脚和MOSI引脚上的数据的MSB位必须与SPSCK的个边沿同步，在SPI传输过程中，在同步时钟信号周期开始时（上升沿）数据上线，然后在同步时钟信号的下降沿时，SPI的接收方捕捉位信号，在时钟信号的一个周期结束时（上升沿），下一位数据信号上线，再重复上述过程，直到一个字节

的8位信号传输结束。

工作方式4：

当CPHA=1、CPOL=1时SPI总线工作在方式4。与前者不同之处只是在同步时钟信号的上升沿时捕捉位信号，下降沿时下一位数据上线。

## 4.SPI总线常见错误

### 4.1 SPR设定错误

在从器件时钟频率小于主器件时钟频率时，如果SCK的速率设得太快，将导致接收到的数据不正确（SPI接口本身难以判断收到的数据是否正确，要在软件中处理）。

整个系统的速度受三个因素影响：主器件时钟CLK主、从器件时钟CLK从和同步串行时钟SCK，其中SCK是对CLK主的分频，CLK从和CLK主是异步的。要使SCK无差错无遗漏地被从器件所检测到，从器件的时钟CLK从必须要足够快。下面以SCK设置为CLK主的4分频的波形为例，分析同步串行时钟、主时钟和从时钟之间的关系。

如图4所示，当 $T < t_{sck} 2$ ，即 $t_{从} < 2t_{主}$ 时，无论主时钟和从时钟之间的相位关系如何，在从器件clk从的上升沿必然能够检测到sck的低电平

, 即  $sck = 0$  的范围内至少包含一个  $clk$  从的上升沿。从  $tsck/2$  开始, 即  $t_{从} < 2t_{主}$  时, 无论主时钟和从时钟之间的相位关系如何, 在从器件  $clk$  从的上升沿必然能够检测到  $sck$  的低电平, 即  $sck = 0$  的范围内至少包含一个  $clk$  从的上升沿。

图5中, 当  $T_{从} = T_{SCK}/2 = 2T_{主}$  时, 在  $clk_s$  的两个上升沿都检测不到  $SCK$  的低电平, 这样从器件就会漏掉一个  $SCK$ 。在某些相位条件下, 即使  $CLK$  从侥幸能检测到  $SCK$  的低电平, 也不能保证可以继续检测到下一个  $SCK$ 。只要遗漏了一个  $SCK$ , 就相当于串行数据漏掉了一个位, 后面继续接收/发送的数据就都是错误的了。