

cpld电源完整性测试，cpld信号质量测试

产品名称	cpld电源完整性测试，cpld信号质量测试
公司名称	北京淼森波信息技术有限公司
价格	.00/个
规格参数	
公司地址	北京市海淀区永泰庄北路1号天地邻枫2号楼A座B101
联系电话	18601085302 18601085302

产品详情

1.4 触发器和所存器：我们知道，触发器是在时钟的沿进行数据的锁存的，而所存器是用电平使能来锁存数据的。所以触发器的Q输出端在每一个时钟沿都会被更新，而所存器只能在使能电平有效器件才会被更新。在FPGA设计中建议如果不是必须那么应该尽量使用触发器而不是所存器。那么在使用硬件描述语言进行电路设计的时候如何区分触发器和所存器的描述方法哪？其实有不少人在使用的过程中可能并没有特意区分过，所以也忽略了二者在描述方法上的区别。下面是用VHDL语言描述的触发器和所存器以及综合器产生的电路逻辑图。触发器的语言描述：

```
process begin wait until clk ' event and clk = ' 1 ' ; q <= d; end process;
```

所存器的语言描述：

```
process (en, d) begin if en = ' 1 ' then q <= d; end if; end process;
```

由上述对Latch的描述可见，其很容易于选择器的描述相混淆，用VHDL语言对选择器的描述方法如下：

```
process (en, a, b) begin if en = ' 1 ' then q <= a; else q <= b; end if; end process;
```

2 FPGA/CPLD中的一些设计方法
2.1 FPGA设计中的同步设计异步设计不是总能满足(它们所馈送的触发器的)建立和保持时间的要求。因此，异步输入常常会把错误的的数据锁存到触发器，或者使触发器进入亚稳定的状态,在该状态下，触发器的输出不能识别为1或0。如果没有正确地处理，亚稳性会导致严重的系统可靠性问题。另外，在FPGA的内部资源里重要的一部分就是其时钟资源（全局时钟网络），它一般是经过FPGA的特定全局时钟管脚进入FPGA内部，后经过全局时钟BUF适配到全局时钟网络的，这样的时钟网络可以保证相同的时钟沿到达芯片内部每一个触发器的延迟时间差异是可以忽略不计的。在FPGA中上述的全局时钟网络被称为时钟树，无论是专业的第三方工具还是器件厂商提供的布局布线器在延时参数提取、分析的时候都是依据全局时钟网络作为计算的基准的。如果一个设计没有使用时钟树提供的时钟，那么这些设计工具有的会拒绝做延时分析有的延时数据将是不可靠的。在我们日常的设计中很多情形下会用到需要分频的情形，好多人的做法是先用高频时钟计数，然后使用计数器的某一位输出作为工作时钟进行其他的逻辑设计。其实这样的方法是不规范的。比如下面的描述方法：

```
process begin wait until clk ' event and clk = ' 1 ' ; if fck = ' 1 ' then count <= (others => ' 0 ' ); else count <= count 1; end if; end process;
```

```
process begin wait until count (2) ' event and count (2) = ' 1 ' ; shift_reg <= data; end process;
```

在上述的个process电路描述中，首先计数器的输出结果（count (2)）相对于全局时钟clk已经产生了一定的延时（延时的大小取决于计数器的位数和所选择使用的器件工艺）；而在第二个process中使用计数器的bit2作为时钟，那么shift_reg相对于全局clk的延时将变得不好控制。布局布线器终给出的时间分析也是不可靠的。