

DDR信号技术解析，信号完整性测试，信号一致性测试

产品名称	DDR信号技术解析，信号完整性测试，信号一致性测试
公司名称	北京淼森波信息技术有限公司
价格	.00/个
规格参数	
公司地址	北京市海淀区永泰庄北路1号天地邻枫2号楼A座B101
联系电话	18601085302 18601085302

产品详情

数据选取脉冲（DQS）

DQS是DDR中的重要功能，它的功能主要用来在一个时钟周期内准确的区分出每个传输周期，并便于接收方准确接收数据。每一颗芯片都有一个DQS信号线，它是双向的，在写入时它用来传送由北桥发来的DQS信号，读取时，则由芯片生成DQS向北桥发送。完全可以说，它就是数据的同步信号。

在读取时，DQS与数据信号同时生成（也是在CK与CK#的交叉点）。而DDR内存中的CL也就是从CAS发出到DQS生成的间隔，DQS生成时，芯片内部的预取已经完毕了，由于预取的原因，实际的数据传出可能会提前于DQS发生（数据提前于DQS传出）。由于是并行传输，DDR内存对tAC也有一定的要求，对于DDR266，tAC的允许范围是 $\pm 0.75\text{ns}$ ，对于DDR333，则是 $\pm 0.7\text{ns}$ ，有关它们的时序图示见前文，其中CL里包含了一段DQS的导入期。

DQS在读取时与数据同步传输，那么接收时也是以DQS的上下沿为准吗？不，如果以DQS的上下沿区分数据周期的危险很大。由于芯片有预取的操作，所以输出时的同步很难控制，只能限制在一定的时间范围内，数据在各I/O端口的出现时间可能有快有慢，会与DQS有一定的间隔，这也就是为什么要有一个tA

C规定的原因。而在接收方，一切必须保证同步接收，不能有tAC之类的偏差。这样在写入时，芯片不再自己生成DQS，而以发送方传来的DQS为基准，并相应延后一定的时间，在DQS的中部为数据周期的选取分割点（在读取时分割点就是上下沿），从这里分隔开两个传输周期。这样做的好处是，由于各数据信号都会有一个逻辑电平保持周期，即使发送时不同步，在DQS上下沿时都处于保持周期中，此时数据接收触发的准确性无疑是的。

DDR的写时序的时序图如下图所示

DDR的读时序的时序图如下图所示

由上面的时序图可知，在写时序中，有效数据DQ的正中间正好对应DQS的跳边沿，而在读时序中，有效数据的正中间对应着DQS信号的正中间。

在简单说一说DDR中采用的ODT(On-Die Termination)技术。

ODT(On-Die Termination)，是从DDR2

SDRAM时代开始新增的功能。其允许用户通过读写DDR2/3内部的MR1寄存器，来控制DDR3

SDRAM中各个信号内部终端电阻的连接或者断开。在DDR3 SDRAM中，ODT功能主要应用于：

- 1、 DQ, DQS, DQS# and DM for X4 configuration
- 2、 DQ, DQS, DQS#, DM, TDQS and TDQS# for X8 configuration
- 3、 DQU, DQL, DQSU, DQSU#, DQSL, DQSL#, DMU and DML for X16 configuration

ODT(On-Die Termination)技术的目的是通过使DDR SDRAM控制器能够独立的打开或者关断DDR内部的终端电阻来提高存储器通道的信号完整性，在DLL关闭模式，ODT功能被禁用。

一个DDR通道，通常会挂接多个Rank，这些Rank的数据线、地址线等等都是共用；数据信号也就依次传递到每个Rank，到达线路末端的时候，波形会有反射，从而影响到原始信号；因此需要加上终端电阻，吸收余波。之前的DDR，终端电阻做在板子上，但是因为种种原因，效果不是太好，到了DDR2，把终端电阻做到了DDR颗粒内部，也就称为On Die

Termination，Die上的终端电阻，Die是硅片的意思，这里也就是DDR颗粒。