

DDR3信号质量测试，时序测试

产品名称	DDR3信号质量测试，时序测试
公司名称	北京森森波信息技术有限公司
价格	.00/个
规格参数	
公司地址	北京市海淀区永泰庄北路1号天地邻枫2号楼A座B101
联系电话	18601085302 18601085302

产品详情

1、逻辑Bank

组成DDR3的存储单元称为逻辑bank，在逻辑bank中，先指定一个行，再指定一个列，可以准确地定位到所需的存储位置，这是DDR3寻址的基本原理，目前，DDR3基本上是8bank设计。

2、物理Bank

这是一个与存储子系统相关的术语，并不针对存储芯片，在PC上的北桥芯片用于控制存储器与CPU之间的数据交换，为了高效传输数据，北桥芯片是存储器总线的数据位宽等同于CPU数据总线的位宽，这个位宽被称为物理Bank（又称为Rank），当前这个位宽基本为64bit，每个内存颗粒的位宽为8bit，为了满足Rank所需的64位宽，需要8颗内存颗粒并行组成。

3、行激活命令

在对DDR3的某一个bank内数据进行读/写访问前，首先必须将该bank中数据所在的行激活，一旦激活，则该行将保持激活状态直到发送预充电命令到DDR3。发送行激活命令式，bank地址与相应的行地址同时发出；行激活命令发送后，随后发送列地址寻址命令与具体的读/写操作命令，由于这两个

命令也是同时发出的，所以一般都会以读/写命令来表示列寻址。从行有效到读/写命令发出之间的时间间隔被定义为tRCD，tRCD是DDR的一个重要时序参数，广义的tRCD以时钟周期为单位，如tRCD=3，就代表延迟周期为3个时钟周期。

4、读/写命令

DDR3执行bank的行激活命令后，可以发送读/写命令对该行进行读/写操作，在发送读/写命令时，引脚A10决定是否允许自动预充电操作，如果允许进行预充电，那么读/写命令结束时会自动对该行进行预充电，否则该行将一直保持激活状态控制逻辑可继续对该行进行读/写操作

5、数据掩码

DDR3采用数据掩码（DQM）技术，用于屏蔽不需要的数据。通过采用DQM，DDR3控制器能够以字节为操作单元指示I/O端口数据的有效性，当然在读取DDR3时，被掩码掩掉的数据仍然会从存储器中读出，只是在“掩码逻辑单元”处被屏蔽