

SPI信号完整性测试，SPI电源完整性测试，SPI时序测试，SPI时钟测试

产品名称	SPI信号完整性测试，SPI电源完整性测试，SPI时序测试，SPI时钟测试
公司名称	北京淼森波信息技术有限公司
价格	.00/个
规格参数	
公司地址	北京市海淀区永泰庄北路1号天地邻枫2号楼A座B101
联系电话	18601085302 18601085302

产品详情

SPI信号完整性测试，SPI电源完整性测试，SPI时序测试，SPI时钟测试

不同的驱动技术适于不同的任务。信号是点对点的还是一点对多抽头的？信号是从电路板输出还是留在相同的电路板上？允许的时滞和噪声裕量是多少？作为信号完整性设计的通用准则，转换速度越慢，信号完整性越好。50MHZ时钟采用500PS上升时间是没有理由的。一个2-3NS的摆率控制器件速度要足够快，才能保证SI的品质，并有助于解决象输出同步交换（SSO）和电磁兼容（EMC）等问题。（微信：EDA设计智汇馆）

在新型FPGA可编程技术或者用户定义ASIC中，可以找到驱动技术的优越性。采用这些定制（或者半定制）器件，你就有很大的余地选定驱动幅度和速度。设计初期，要满足FPGA（或ASIC）设计时间的要求并确定恰当的输出选择，如果可能的话，还要包括引脚选择。

在这个设计阶段，要从IC供货商那里获得合适的仿真模型。为了有效的覆盖SI仿真，你将需要一个SI仿真程序和相应的仿真模型（可能是IBIS模型）。

，在预布线和布线阶段你应该建立一系列设计指南，它们包括：目标层阻抗、布线间距、倾向采用的器

件工艺、重要节点拓扑和端接规划。

6、预布线阶段

预布线SI规划的基本过程是首先定义输入参数范围（驱动幅度、阻抗、跟踪速度）和可能的拓扑范围（小/长度、短线长度等），然后运行每一个可能的仿真组合，分析时序和SI仿真结果，找到可以接受的数值范围。

接着，将工作范围解释为PCB布线的布线约束条件。可以采用不同软件工具执行这种类型的“清扫”准备工作，布线程序能够自动处理这类布线约束条件。对多数用户而言，时序信息实际上比SI结果更为重要，互连仿真的结果可以改变布线，从而调整信号通路的时序。

在其它应用中，这个过程可以用来确定与系统时序指针不兼容的引脚或者器件的布局。此时，有可能完全确定需要手工布线的节点或者不需要端接的节点。对于可编程器件和ASIC来说，此时还可以调整输出驱动的选择，以便改进SI设计或避免采用离散端接器件。

7、布线后SI仿真

一般来说，SI设计指导规则很难保证实际布线完成之后不出现SI或时序问题。即使设计是在指南的引导下进行，除非你能够持续自动检查设计，否则，根本无法保证设计完全遵守准则，因而难免出现问题。布线后SI仿真检查将允许有计划地打破（或者改变）设计规则，但是这只是出于成本考虑或者严格的布线要求下所做的必要工作。